

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-311241

(43)Date of publication of application : 07.11.2000

(51)Int.Cl. G06T 1/20
G06T 3/40
H04N 1/393
H04N 5/262

(21)Application number : 11-121547

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 28.04.1999

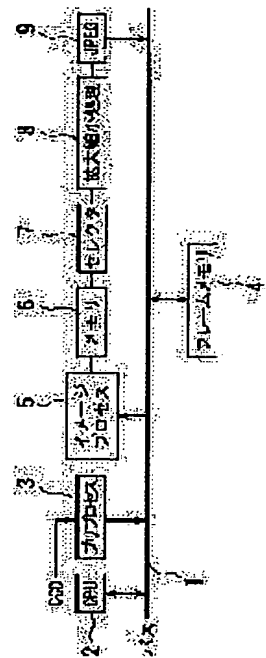
(72)Inventor : UENO AKIRA
NAKAZONO KEISUKE

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processor which can decrease the quantity of data to be transferred via a bus and also can perform plural image processing operations including the scaling processing in real time and via a pipeline without increasing the memory capacity.

SOLUTION: A memory 6 consisting of (4×5) pieces of independent memory elements is prepared at the preceding stage of a scaling processing part 8 to perform the 16-point cubic interpolation processing. The memory 6 is used with switching carried out in every row between (4×4) pieces of memory elements which read out the input data for the interpolation processing and (4×1) pieces of memory elements which write the output data given from the preceding processing part. Then (4×4) pieces of data which are stored in a read memory element of the memory 6 and necessary for the interpolation processing are selectively read out to carry out the interpolation processing. At the same time, the output data given from the preceding processing part are written in the remaining write memory elements to carry out the pipeline processing.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-311241

(P2000-311241A)

(43) 公開日 平成12年11月7日 (2000. 11. 7)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マコ-ト* (参考) |
|---------------------------|------|---------------|--------------|
| G 0 6 T 1/20 | | G 0 6 F 15/66 | L 5 B 0 5 7 |
| 3/40 | | H 0 4 N 1/393 | 5 C 0 2 3 |
| H 0 4 N 1/393 | | 5/262 | 5 C 0 7 6 |
| 5/262 | | G 0 6 F 15/66 | 3 5 5 C |

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平11-121547

(22) 出願日 平成11年4月28日 (1999. 4. 28)

(71) 出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 上野 晃

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(72) 発明者 中園 啓介

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(74) 代理人 100087273

弁理士 最上 健治

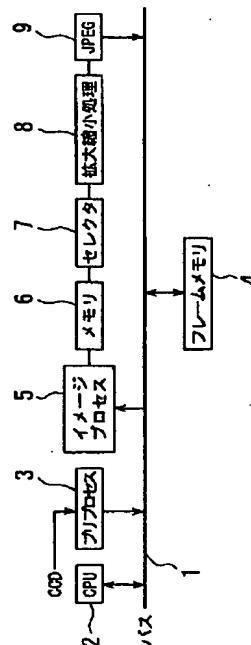
最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 バスのデータ転送量を低減すると共にメモリ容量を増やすことなく、拡大縮小処理を含む複数の画像処理を、リアルタイムでパイプライン処理できるようにした画像処理装置を提供する。

【解決手段】 拡大縮小処理部8の前段に16点Cubic補間処理を行うために4×5個の独立メモリ素子からなるメモリ6を備え、該メモリは補間処理を行うための入力データを読み出す4×4個のメモリ素子と前段の処理部からの出力データを書き込む4×1個のメモリ素子とに列単位で切り替えて用いるように構成され、該メモリの読み出しメモリ素子に格納されている補間処理に必要な4×4個のデータを選択的に読み出して補間処理を行い、同時に残りの書き込みメモリ素子へ前段の処理部からの出力データを書き込み、パイプライン処理を実行するように構成する。



【特許請求の範囲】

【請求項 1】 固体撮像素子から出力されフレームメモリに記録された画像データに対して、拡大縮小処理部を含む複数の画像処理部で空間的な画像処理を施して出力させる画像処理装置において、前記拡大縮小処理部の前段に、（補間サイズの行数）×（補間サイズに少なくとも 1 を加えた列数）分の同時アクセス可能なメモリ素子からなるメモリを備え、該メモリは前段の画像処理部からの出力データを書き込むメモリ部と拡大縮小処理部への入力データを読み出すメモリ部とを列単位で切り替え可能に構成され、前記読み出しメモリ部に格納された補間に必要な（補間サイズの行数）×（補間サイズの列数）個のメモリ素子のデータを選択的に読み出し補間処理を行い、同時に残りの書き込みメモリ部へ前段の画像処理部からの出力データを書き込みバイブライン処理を実行するように構成したことを特徴とする画像処理装置。

【請求項 2】 前記拡大縮小処理部は、 m 行 n 列（但し m, n は正の整数）の画像領域から一点の補間処理を行うように構成されており、補間処理のための画像領域の第 1 列目の 1 ～ m 行目までのデータを、それぞれ前記メモリの第 1 から第 m のメモリ素子の第 1 のアドレスに、第 1 列目の $m+1$ ～ $2m$ 行目までのデータを、それぞれ第 1 から第 m のメモリ素子の第 2 のアドレスに書き込み、以降同様に、第 1 列目のデータを m 個ずつ、第 1 から第 m のメモリ素子に、アドレスをインクリメントしながら一定の数だけ順次書き込み、同じ手順で、第 2 列目のデータを第 $m+1$ から第 $2m$ のメモリ素子に書き込み、以降同様に、第 $n+1$ 列目までのデータを $m \times (n+1)$ 個のメモリ素子に書き込んだ後、第 $n+2$ 列目からは再び第 1 から第 m のメモリ素子へ同じ手順でデータを書き込むメモリ制御手段を備え、画像を列方向に補間するに当たって、どの画素を補間する場合でも、補間に必要な全てのデータが同時に読み出せるように構成したことを特徴とする請求項 1 に係る画像処理装置。

【請求項 3】 列方向の一定数分の補間処理中及び前段の画像処理部の出力データの一定数分の書き込み中に、前段の画像処理部から出力される次列のデータの前記メモリへの書き込み及び拡大縮小処理部における処理の実行が可能か否かを判断し、拡大縮小処理部の前段の画像処理部の処理の実行／停止を制御する手段を備えていることを特徴とする請求項 2 に係る画像処理装置。

【請求項 4】 列方向の一定数分の補間処理中及び前段の画像処理部の出力データの一定数分の書き込み中に、前段の画像処理部から出力される次列のデータの前記メモリへの書き込み及び拡大縮小処理部における処理の実行が可能か否かを判断し、拡大縮小処理部の処理の実行／停止を制御する手段を備えていることを特徴とする請

* 求項 2 に係る画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタルカメラ等の電子的撮像装置に用いられる画像処理装置、特に少ないメモリ容量でリアルタイムでバイブライン処理を実現することが可能な拡大縮小処理を含む画像処理装置に関する。

【0002】

【従来の技術】一般に、CCD などの固体撮像素子を用いたデジタルカメラ等の電子的撮像装置における拡大縮小処理を含む画像処理手順としては、図 13 に示すように、まず CCD 撮像素子 101 から出力された撮像信号はブリプロセス処理 102 がなされたのち、フレームメモリ 103 に一旦記憶される。次いで、フレームメモリ 103 から画像データを読み出し、拡大縮小処理を含むイメージプロセス処理 104 を順次行い、最後に JPEG 処理 105 を行って、メモ리카ード 106 等の記録媒体に記録するという処理がなされている。

【0003】このような画像信号の処理手順を実現するためにあたって、従来は例えば図 14 に示すような画像処理装置を用いている。すなわち、従来の画像処理装置は、バス 201 に CPU 202 と共にブリプロセス回路 203、拡大縮小処理部を含む複数のイメージプロセス回路 204-1 ～ 204-n、JPEG 処理部 205 及びフレームメモリ 206 がそれぞれ接続されて構成されている。そして、CPU 202 の制御により、CCD 撮像素子からの撮像信号がブリプロセス回路 203 で処理されたのちバス 201 を通してフレームメモリ 206 に一旦記録される。次に、フレームメモリ 206 から画像データを読み出し、バス 201 を通してイメージプロセス回路 204-1 に入力して処理を行い、再びバス 201 を通してフレームメモリ 206 に書き直す。以下同様にして、バス 201 を介してフレームメモリ 206 と拡大縮小処理部を含むイメージプロセス回路 204-2 ～ 204-n との間でデータのやり取りを順次行って、最後に JPEG 処理部 205 で JPEG 処理を行い、処理データをフレームメモリ 206 又はメモ리카ードに記録するようになっている。

【0004】次に、従来行われている拡大縮小処理の具体的な処理内容について説明する。図 15 は Cubic 補間処理により拡大縮小処理を行う態様を示す図で、この Cubic 補間処理は A ～ P で示す 16 点の画素のデータを用いて、例えば中央の Z で示している一点を補間するもので、画像の一点を補間するためには周囲の 16 画素のデータが必要となっている。図 15 において $x_a, x_b, x_c, x_d, y_a, y_b, y_c, y_d$ は補間係数で、A ～ P の 16 点の画素のデータをそれぞれ A ～ P で表すものとすると、Z 位置の補間データは次式（1）で表される。

$$Z = x_a \cdot y_a \cdot A + x_b \cdot y_a \cdot B + x_c \cdot y_a \cdot C + x_d \cdot y_a \cdot D \\ + x_a \cdot y_b \cdot E + x_b \cdot y_b \cdot F + x_c \cdot y_b \cdot G + x_d \cdot y_b \cdot H$$

$$\begin{aligned}
 & \quad \quad \quad 3 \qquad \qquad \qquad 4 \\
 & + x a \cdot y c \cdot I + x b \cdot y c \cdot J + x c \cdot y c \cdot K + x d \cdot y c \cdot L \\
 & + x a \cdot y d \cdot M + x b \cdot y d \cdot N + x c \cdot y d \cdot O + x d \cdot y d \cdot P \\
 & \quad \quad \quad \dots \dots \dots (1)
 \end{aligned}$$

【0005】したがって、このようなCubic処理を行うためには、16点の画素データをメモリから取り出すときに、ランダムアクセスすることができる必要がある。従来、このような拡大縮小処理を行う前に、どのような形式で画素データをメモリに保存していたかの一例を図16に示す。図16に示すメモリは、補間するために要する画素数が16であるので、16個のメモリ素子が用意されており、アドレス方向へ深さをもっている独立した16個のメモリ素子で構成されている。そして、このような構成のメモリに対して画素データを格納して行く。画素データの格納方法としては、図17に示すような格納方法が考えられる。図17は画像の左上部を詳細に示している図であるが、画素A1～P1で示しているブロックの画素データを図16で示したメモリのアドレス1に格納する。次に、画素A2～P2で示しているブロックの画素データを同じマッピングでアドレス2に書き込む。以下、同様に繰り返し操作を行って画像全領域の画素データをメモリに書き込む。

【0006】このようにして画素データをメモリに格納しておくことにより、画像のいずれかの領域のある一点の補間に要するデータは、必ずA～Pに対応するメモリ素子のいずれかのアドレス部分から取り出せばよいことになる。例えば、図17においてA1～P1、A2～P2、A(m+1)～P(m+1)、A(m+2)～P(m+2)の4つのブロックから、それぞれ4画素ずつのデータを用いて補間処理する場合には、K1、L1、O1、P1のデータはアドレス1から、I2、J2、M2、N2のデータはアドレス2から、C(m+1)、D(m+1)、G(m+1)、H(m+1)のデータはアドレス(m+1)から、A(m+2)、B(m+2)、E(m+2)、F(m+2)のデータはアドレス(m+2)から取り出すというように、アドレスは異なるが、16個のメモリ素子から1個ずつデータを取り出すことにより、補間に必要なデータが得られることになる。

【0007】ところで、このような方式で補間処理を行う場合に、パイプライン処理を実行しようとすると、図18に示すように、前段のイメージプロセス回路からの出力データを、2つのメモリa、b(ダブルバッファ)を用いて、メモリaとメモリbに切り替えて書き込むようにし、一方のメモリにデータを書き込んでいるときに他方のメモリbに書き込まれているデータを読み出して、拡大縮小処理部へ入力するようにしなければならない。しかしながら、拡大縮小処理において、各ブロックの境界部分などの補間処理には、補間処理に必要とする一部のデータを次の領域の補間処理に再度用いなければならない状態が生じる。すなわち、例えばメモリbに書き込み読み出したデータのうちハッチングで示した次の処理

10

20

30

40

50

でも必要とするデータ(のり代分)は、再度メモリaには前段の処理部から書き込むことはできないので、メモリbからバッファを介してメモリaに転送するなどの操作が必要となる。このような操作は極めて煩雑であり、現実的にはこのような操作を伴うパイプライン処理は困難であり、したがって従来はこのようなパイプライン処理は行わず、前段の出力データは一旦フレームメモリへ格納し、フレームメモリからその都度データを読み出して拡大縮小処理を行う方式が用いられている。

【0008】

【発明が解決しようとする課題】従来の画像処理装置は、上記のように複数のイメージプロセス回路による拡大縮小処理を含む画像処理は、それぞれバスを通してフレームメモリからデータを読み出しあるいは書き込みを行って実行されるようになっている。したがって、実時間処理を行う場合には、バスを通るデータ転送量が極めて多く、処理時間と共に消費電力が増大するという問題点がある。

【0009】本発明は、従来の画像処理装置における上記問題点を解消するためになされたもので、バスのデータ転送量を低減すると共にメモリ容量を増やすことなく拡大縮小処理を含む複数の画像処理がリアルタイムでパイプライン処理できるようにした画像処理装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記問題点を解決するため、本発明は、固体撮像素子から出力されフレームメモリに記録された画像データにおいて、拡大縮小処理部を含む複数の画像処理部で空間的な画像処理を施して出力させる画像処理装置に対して、前記拡大縮小処理部の前段に、(補間サイズの行数)×(補間サイズに少なくとも1を加えた列数)分の同時アクセス可能なメモリ素子からなるメモリを備え、該メモリは前段の画像処理部からの出力データを書き込むメモリ部と拡大縮小処理部への入力データを読み出すメモリ部とを列単位で切り替え可能に構成され、前記読み出しメモリ部に格納された補間に必要な(補間サイズの行数)×(補間サイズの列数)個のメモリ素子のデータを選択的に読み出し補間処理を行い、同時に残りの書き込みメモリ部へ前段の画像処理部からの出力データを書き込みパイプライン処理を実行するように構成したことを特徴とするものである。

【0011】このように構成することにより、小容量のメモリを用いてリアルタイムでパイプライン処理が行える拡大縮小処理を含む画像処理の可能な画像処理装置を実現することができる。

【0012】

【発明の実施の形態】次に実施の形態について説明す

る。まず、本発明に係る概略的な実施の形態を図1に基づいて説明する。この実施の形態は画像処理部として拡大縮小処理部を含む2つの画像処理部で構成している場合を示している。本実施の形態に係る画像処理装置においては、バス1に接続された各部の制御を行うCPU2の制御により、CCD撮像素子からの撮像信号をプリプロセス回路3で処理した信号を、バス1を介してフレームメモリ4へ一旦記憶し、次いでフレームメモリ4から読み出した画像データをバス1を介してイメージプロセス回路5に入力させるまでは、従来の画像処理装置と同じである。本発明に係る画像処理装置においては、初段の画像処理部であるイメージプロセス回路5からメモリ6及びセクタ7を介して次段の画像処理部である拡大縮小処理部8までを直列に接続しておいて、パイプライン方式で画像処理を行い、JPEG処理部9でJPEG処理を行ったのち、画像データをバス1を介してフレームメモリ4やメモ리카ード等に記録するようになっている。

【0013】このようにバス1を介したデータ転送量は、フレームメモリ4から初段のイメージプロセス回路5への転送と、JPEG処理部9からフレームメモリ4又はメモ리카ードへの転送だけとなり、したがってフレームメモリと拡大縮小処理部8との間でデータのやりとりを行っていた従来例と比べて、データ転送量はかなり低減させることができる。

【0014】次に、拡大縮小処理部及びその前段に配置されているメモリ及びセクタの構成について、詳細に説明する。まず、メモリ6は図2に示すように、4×5 (ROW×COL)の20個の独立メモリ素子A～Tを用いて構成されており、このように構成されているメモリ6への画像データの格納は、次のように行われる。すなわち、拡大縮小処理部8ではCubic補間処理が行われ、その処理には4×4の16個の画素データが必要なため、図3に示す画像のA1～P1のブロックの画素データをメモリ6の各メモリ素子A～Pのアドレス1に格納し、次いでA2～P2のブロックの画素データをメモリ素子A～Pのアドレス2に格納する。以下同様にして画像の列(ROW)方向のブロックの画素データをメモリ素子A～Pの各アドレスに順次格納する。そして、図4に示すように、メモリ6を構成するメモリ素子A～Pのアドレス1の画像データを、セクタ7を介して読み出し、拡大縮小処理部8においてCubic補間処理を行う。セクタ7は20個の入力から1個を選択して出力する16個のセクタで構成されている。このメモリ素子A～Pからの画像データの読み出し中に、20個の独立メモリ素子A～Tの残りのメモリ素子Q, R, S, Tのアドレス1, 2, ……に、図5の(A)に示すように、対応する画像データQ1～T1, Q2～T2, ……を書き込み格納する。

【0015】第1の列方向の補間処理が終了すると、次

に独立メモリ素子E～Tに書き込まれている16個の画素データを順次読み出して第2の列方向のCubic補間処理を行う。そして、この際、メモリ素子A～Dの各アドレスに格納されている画素データA1～D1, A2～D2, ……は不要になるので、図5の(B)に示すように、独立メモリA～Dの各アドレスに、画素データQ1～T1, Q2～T2, ……の行(COL)方向に隣接している画素データA1～D1, A2～D2, ……を、上記第2の列方向のCubic補間処理のための画素データの読み出し中に、新たに書き込み格納する。以下同様にして図5の(C)に示すように、16個の画素データを読み出してCubic補間処理中に、新たに1列分の画素データを順次書き込み、これにより小容量メモリ6を用いて画像領域全体に亘ってCubic補間処理をパイプライン的に実行することができる。

【0016】以上のCubic補間処理中における16個の独立メモリ素子A～Tからなるメモリ6におけるアクセス態様を図6に示す。また、メモリ6からセクタ7を介してCubic補間処理のために読み出される画素データと、読み出された16個の画素データを用いて拡大縮小処理部でCubic補間処理を行う際における、各画素データに乗算される補間係数の切り替え態様を図7の(A), (B)に示す。なお、図7の(A)はメモリ素子A～Dが書き込み状態となっている場合、図7の(B)はメモリ素子E～Hが書き込み状態となっている場合を示している。

【0017】次に、拡大縮小処理部を含む画像処理部の処理の実行/停止制御について説明する。画像処理の中で拡大縮小処理は特殊な処理であり、入力されてくるデータの数と出力されるデータの数が変化する。すなわち、拡大処理の場合は、密に画素データを取り込むことになるので、16個の画素データから処理されたデータが複数個出力される場合があり、一方、縮小処理の場合は、16個の画素データから処理されたデータが1個も出力されない場合もある。したがって、このように拡大縮小処理ではデータが不連続で出力されるため、前段の画像処理部と拡大縮小処理部との間のデータの授受は連続的に行えず、前段の画像処理部例えばローパスフィルタ処理部の処理の実行と同期させて同様に処理を連続的に実行させることはできない。

【0018】本実施の形態においては、前段の画像処理部と拡大縮小処理部との間に設けているメモリ6は、拡大縮小処理部でCubic補間処理に必要な16個のデータの他に1列分の書き込みメモリ素子を備えているので、Cubic補間処理に必要な画素データの当該ブロックの処理ステップの実行中及び前段処理部からのデータの書き込み中に、前段処理部及び拡大縮小処理部における次の処理ブロックの処理の実行の可否を判断して、実行/停止の制御を行うことができる。

【0019】次に、図8の(A), (B)のタイミング

チャートに基づいて、前段画像処理部及び拡大縮小処理部の実行/停止の制御について説明する。図8の(A)は、拡大処理時の実行/停止制御を示すタイミングチャートで、拡大処理時には元の画素に比べて密に画素をとることになるので、同じ16個の画素データを用いて複数回Cubic補間処理をすることになる。そうすると、その処理期間に新たにデータを受け取ることができないため、そのように同じデータで複数回Cubic補間処理をする場合には、前段の画像処理部の処理の実行を停止させる必要がある。そのため、前段の画像処理部の処理を停止させる必要がある場合は、実行/停止判定部(拡大縮小処理部内に設けられている)により、処理実行停止判定信号を出力させ、CPUを介して前段の画像処理部の処理の実行を一時停止させるようにする。

【0020】図8の(B)は、縮小処理時の実行/停止制御を示すタイミングチャートで、縮小処理時には、元*

$$Z = x_a \cdot y_a \cdot A + x_b \cdot y_a \cdot B + x_a \cdot y_b \cdot C + x_b \cdot y_b \cdot D$$

..... (2)

【0022】そして、この場合に用いるメモリは、図10の(A)に示すように、2×3の6個の独立メモリ素子A~Fで構成され、このメモリへの画素データの格納は、この4点補間処理では2×2の4個の画素データが必要なので、図10の(B)に示す画像のA1~D1のブロックの画素データをメモリ各メモリ素子A~Dのアドレス1に格納し、次いでA2~D2のブロック画素データをメモリ素子A~Dのアドレス2に格納し、以下同様にして画像の列方向のブロックの画素データをメモリ素子A~Dの各アドレスに順次格納する。そして、このメモリの4つのメモリ素子A~Dに格納されている画素A1~D1のデータが4点補間処理のために読み出されるとき、図10の(B)に示す画像において画素C1、D1、C2、D2、.....に隣接している1列の画素E1、F1、E2、F2、.....のデータがメモリの残りの独立メモリ素子E、Fの各アドレスに書き込まれるようになっている。

【0023】次いで、メモリ素子C~Fに格納されているデータC1、D1、E1、F1を用いて4点補間処理を行い、このCubic補間処理中に、画像の画素E1、F1にCOL方向に隣接している画素A1、B1、A2、B2、.....のデータを、メモリ素子A、Bに書き込み格納されるようになっている。このようなメモリへのアクセス態様を図11に示し、また2×2の4点補間処理の場合のメモリ16、セクタ17、拡大縮小処理部18の概略ブロック構成を図12に示す。

【0024】なお、上記実施の形態においては、拡大縮小処理部の前段に配置するメモリとして、(補間サイズの行数)×(補間サイズ+1の列数)の独立メモリ素子で構成したものを示したが、(補間サイズ+2以上)の列数の独立メモリ素子で構成したメモリを用いることもでき、同様に読み出し書き込み動作を行わせることが可

*の画素に比べて粗に画素をとることなので、ある時点では16個の画素データを処理に使わない場合が生じる。その場合は、Cubic補間演算処理が早く完了してしまうので、前段の画像処理部から出力されてくる次の処理データがメモリに書き込まれるまで、拡大縮小処理部の処理を一時停止させる必要がある。そのため、そのような状態を予め実行停止判定部で判定したとき、拡大縮小処理部の自己の処理の実行を一時停止させるようにする。

【0021】上記実施の形態においては、拡大縮小処理部において、4×4の16個の画素データを用いてCubic補間処理を行うようにしたものを示したが、例えば図9に示すように2×2の4個の画素A~Dのデータを用いて4点補間処理を行うようにすることも可能である。この場合におけるZ位置の補間データは、画素データをA~Dで表すものとする、次式(2)のように表される。

能である。

【0025】

【発明の効果】以上実施の形態に基づいて説明したように、本発明によれば、バスのデータ転送量を低減すると共に、メモリ容量を増やすことなく、拡大縮小処理を含む複数の画像処理をリアルタイムでパイプライン処理できるようにした画像処理装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る画像処理装置の実施の形態の概略構成を示すブロック構成図である。

【図2】図1に示した実施の形態における拡大縮小処理部の前段に配置されるメモリの構成を示す図である。

【図3】図2に示したメモリに格納される画像の画素データ配列を示す図である。

【図4】図1に示した実施の形態におけるメモリ、セクタ及び拡大縮小処理部の構成を示す概略ブロック構成図である。

【図5】図2に示したメモリに格納される画素データのアドレッシングを示す図である。

【図6】図2に示したメモリのアクセス態様を示すタイミングチャートである。

【図7】セクタによるメモリ格納データと補間係数の切り替え態様を示す図である。

【図8】拡大処理時及び縮小処理時における前段画像処理部と拡大縮小処理部の実行/停止制御態様を示すタイミングチャートである。

【図9】4点Cubic補間処理態様を示す図である。

【図10】4点Cubic補間処理を行う場合に用いるメモリの構成及び該メモリに格納される画像の画素データ配列を示す図である。

【図11】図10に示したメモリのアクセス態様を示すタイミングチャートである。

【図12】4点Cubic補間処理を行うメモリ、セクタ、及び拡大縮小処理部の構成を示す概略ブロック構成図である。

【図13】従来の拡大縮小処理を含む画像処理手順を示す説明図である。

【図14】従来の拡大縮小処理部を含む画像処理装置を示す概略ブロック構成図である。

【図15】16点Cubic補間処理による拡大縮小処理の態様を示す図である。

【図16】図14に示した拡大縮小処理部の前段に配置されるメモリの構成を示す図である。

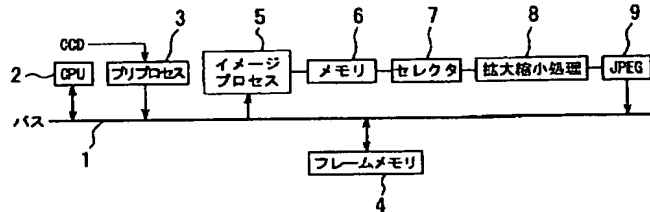
【図17】図16に示したメモリに対する画像データの格納方法を示す図である。

* 【図18】図16に示したメモリを用いてパイプライン処理を行う場合の態様を示す図である。

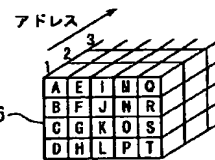
【符号の説明】

- 1 バス
- 2 CPU
- 3 プリプロセス回路
- 4 フレームメモリ
- 5 イメージプロセス回路
- 6, 16 メモリ
- 7, 17 セクタ
- 8, 18 拡大縮小処理部
- 9 JPEG処理部

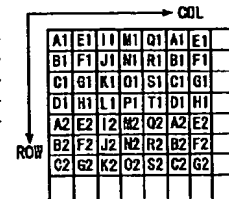
【図1】



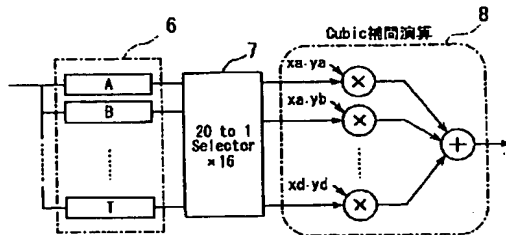
【図2】



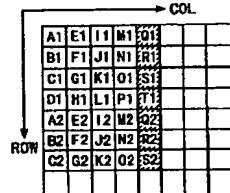
【図3】



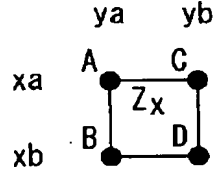
【図4】



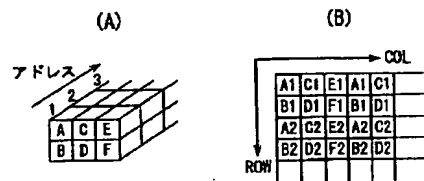
【図5】



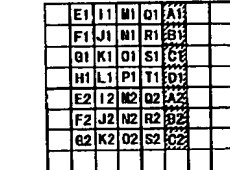
【図9】



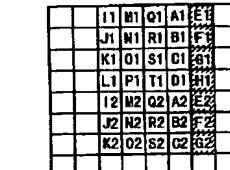
【図10】



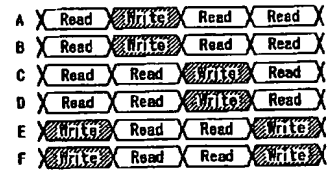
【図11】



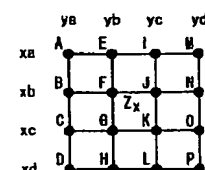
【図15】



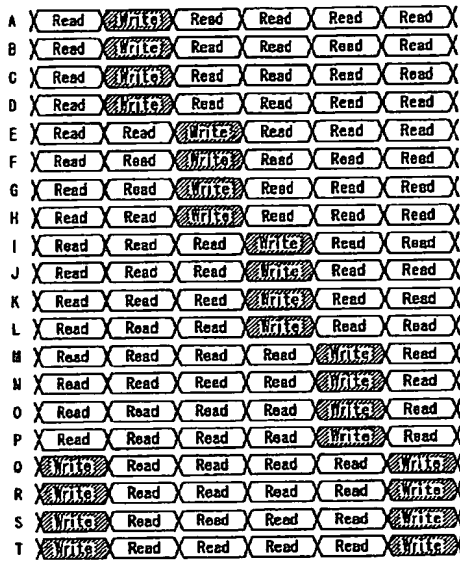
【図11】



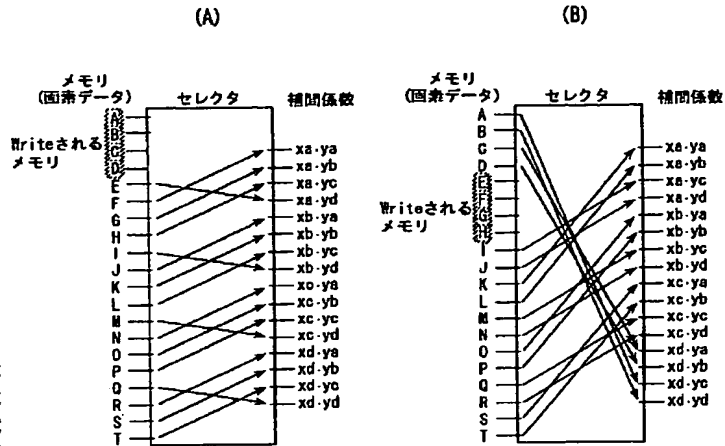
【図15】



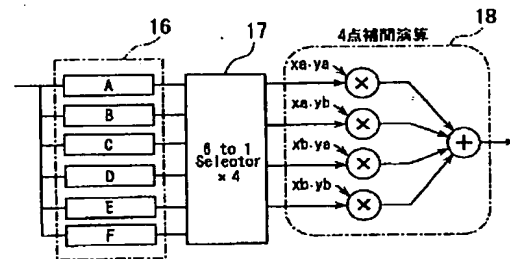
【図6】



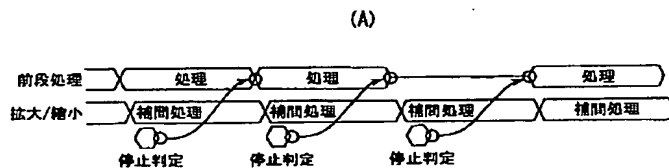
【図7】



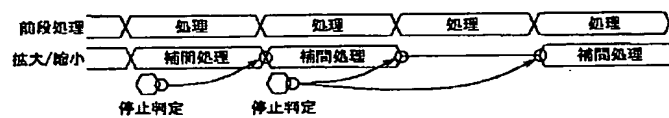
【図12】



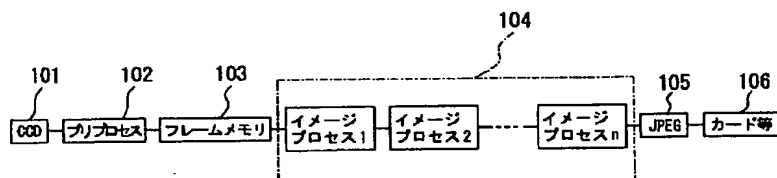
【図8】



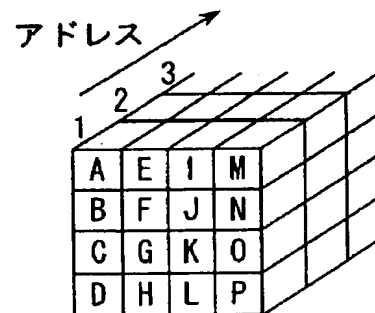
(B)



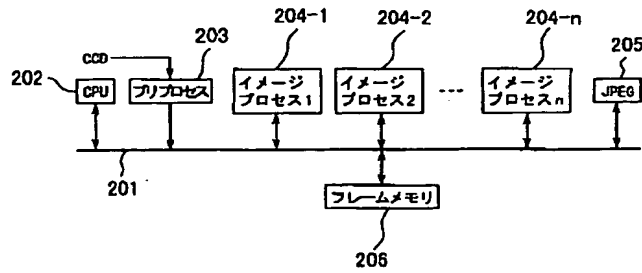
【図13】



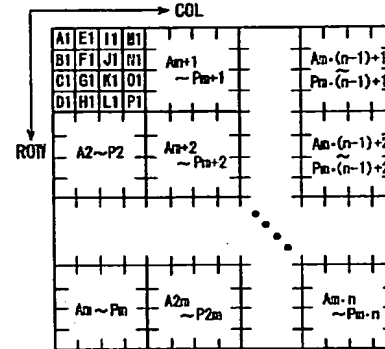
【図16】



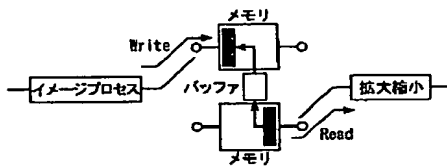
【図14】



【図17】



【図18】



フロントページの続き

Fターム(参考) 5B057 BA02 CA16 CB16 CD06 CH05
 CH11 CH18
 5C023 AA02 AA31 BA02 CA02 DA04
 DA08
 5C076 AA21 AA22 BA03 BA04 BA05
 BA06 BB04